

Semiconductor memory device having precharge circuit

Patent Number: US5625598

Publication date: 1997-04-29

Inventor(s): OBA KAORI (JP)

Applicant(s): NIPPON ELECTRIC CO (JP)

Requested Patent: JP8180682

Application Number: US19950575474 19951220

Priority Number(s): JP19940318807 19941221

IPC Classification: G11C7/00

EC Classification: G11C7/12, G11C11/413

Equivalents: DE19547782, JP3068426B2, KR172028

Abstract

A semiconductor device has a precharge control circuit for generating a precharge control signal, the precharge control signal being at an active level when all word lines do not indicate a high level and being at an inactive level when an access control signal (read control signal or write control signal) is input to the precharge control circuit for controlling a precharge circuit for precharging bit lines to a predetermined voltage.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-180682

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.⁶
G 11 C 11/41

識別記号

府内整理番号

F I

技術表示箇所

G 11 C 11/ 34

M

審査請求 有 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願平6-318807

(22)出願日 平成6年(1994)12月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大場 香

東京都港区芝五丁目7番1号 日本電気株式会社内

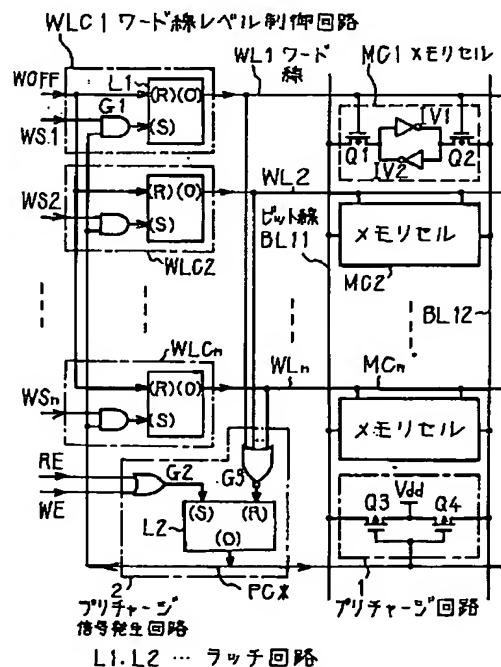
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】メモリセルの記憶内容が破壊されることなくより一層高速化をはかる。

【構成】プリチャージ信号PC*の非活性レベルに応答してゲートを開きワード線選択信号WS1~WSnを対応するラッチ回路L1のセット端子Sに伝達してそのワード線選択信号の選択レベルに応答してセットされ対応するワード線(WL1~WLn)を選択レベルとし、ワードオフ信号WOFの活性化レベルに応答してラッチ回路L1をリセットし全ワード線WL1~WLnを非選択レベルとするワード線レベル制御回路WLCl1~WLClnを設ける。全ワード線WL1~WLn非選択レベルを検出してラッチ回路L2をリセットしプリチャージ信号PC*を活性化レベルとし、書き込み信号WE、読み出し信号REの活性化レベルを検出してラッチ回路L2をセットしてプリチャージ信号PC*を非活性化レベルとするプリチャージ信号発生回路2を設ける。



【特許請求の範囲】

【請求項1】 行方向、列方向にマトリクス状に配置された複数のメモリセルと、選択レベルのときこれら複数のメモリセルを行単位で選択状態とする複数のワード線と、前記複数のメモリセルの各列それぞれと対応して設けられ対応する列の選択状態のメモリセルの書き込み用のデータ及び読み出しデータを伝達する互いに対応をなす複数の第1及び第2のピット線と、プリチャージ信号の活性化レベルに応答して前記複数の第1及び第2のピット線を所定の電位にプリチャージするプリチャージ回路と、前記複数のワード線それぞれと対応して設けられ、所定のタイミングで所定の時間活性化レベルとなるワードオフ信号の活性化レベルに応答して対応するワード線を非選択レベルに保持し、前記プリチャージ信号の非活性化レベルに応答して前記複数のワード線それぞれの選択レベル、非選択レベル駆動用の複数のワード線選択信号のうちの対応するワード線選択信号を取込んで保持し対応するワード線をこの取込んだワード線選択信号のレベルに駆動する複数のワード線レベル制御回路と、前記複数のワード線のうちの選択レベルのワード線が非選択レベルに変化したのに応答して前記プリチャージ信号を活性化レベルに保持し、前記ワードオフ信号の非活性化レベルの期間のうちの所定の期間互いに独立して活性化レベルとなる書き込み信号及び読み出し信号のうちの一方の活性化レベルに応答して前記プリチャージ信号を非活性化レベルに保持するプリチャージ信号発生回路とを有することを特徴とする半導体記憶装置。

【請求項2】 複数のワード線レベル制御回路それぞれが、プリチャージ信号の非活性化レベルのとき対応するワード線選択信号を出力端に伝達するAND型の第1の論理ゲートと、この第1の論理ゲートの出力端のレベルをセット端子に受けてそのレベルを取り込み保持しワードオフ信号をリセット端子に受けてその活性化レベルに対応してリセットされて非選択レベルを保持し、対応するワード線を保持しているレベルに駆動する第1のラッチ回路とを含んで構成され、プリチャージ信号発生回路が、書き込み信号及び読み出し信号を入力端に受けるOR型の第2の論理ゲートと、複数のワード線それぞれのレベルを入力端に受けるNOR型の第3の論理ゲートと、前記第2の論理ゲートの出力端のレベルをセット端子に受けてその活性化レベルに応答してセットされ前記プリチャージ信号を非活性化レベルに保持し前記第3の論理ゲートの出力端のレベルをリセット端子に受けて全ワード線の非選択レベル対応のレベルに応答してリセットされ前記プリチャージ信号を活性化レベルに保持する第2のラッチ回路とを含んで構成された請求項1記載の半導体記憶装置。

【請求項3】 複数の第1及び第2のピット線それぞれに外部からの書き込み用のデータを伝達する複数の書き込みバッファ回路を備え、これら複数の書き込みバッファ回路

による前記複数の第1及び第2のピット線への書き込み用のデータの伝達が、書き込み信号が活性化レベルでかつプリチャージ信号が非活性化レベルのときのみできるようにした請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特にピット線対を等電位にプリチャージしてメモリセルにアクセスする高速動作の半導体記憶装置に関する。

【0002】

【従来の技術】 ピット線対を等電位にプリチャージしてからメモリセルにアクセスする構成の半導体記憶装置は、プリチャージしない場合に発生するピット線対のデータの反転時間がないので、その分高速動作が可能となる。しかしながら、メモリ容量が増大するにつれて、ピット線対やワード線等と接続するメモリの数が増加し、高速動作が困難となる。そこで、メモリ容量が増大しても高速動作が可能となるように多くの工夫がなされている。

【0003】 図4 (A), (B) は高速動作を実現するために、ATD (Address Transition Detector) 方式を採用した半導体記憶装置の一列 (第1の列) を示すブロック図及び部分回路図である (例えば特開昭59-178684号公報参照)。

【0004】 この半導体記憶装置は、行方向、列方向にマトリクス状に配置 (図4 (A) では1列のみ表示) された複数のメモリセル (MC1~MCn) と、選択レベルのときこれら複数のメモリセル (MC1~MCn) を行単位で選択状態とする複数のワード線WL1~WLnと、複数のメモリセル (MC1~MCn) の各列それぞれと対応して設けられ対応する列の選択状態のメモリセルの書き込み用のデータ及び読み出しデータを伝達する互いに対応をなす複数 (図4 (A) では1対のみ表示) の第1及び第2のピット線 (BL11, BL12) と、選択状態のメモリセルの負荷となって第1及び第2のピット線 (BL11, BL12) に記憶データと対応する読み出しデータを供給し、またこれらピット線 (BL11, BL12) に伝達されたデータをこのメモリセルに伝達、記憶させる負荷回路4と、プリチャージ信号PC* (*は低レベルが活性化レベルであることを示す、以下同じ) に従って第1及び第2のピット線 (BL11, BL12) を電源電位Vddにプリチャージするプリチャージ回路1と、アドレス信号AD (構成ピットA1~Am) のアドレス値の変化を検知してプリチャージ信号PC*を発生するプリチャージ信号発生回路2xとを有する構成となっている。

【0005】 この半導体記憶装置のプリチャージ信号発生回路2xには、アドレス信号ADの構成ピットA1~Amそれぞれに対し図4 (B) に示すようなアドレス変化検知回路21が設けられ、これらのアドレス変化検知

回路21の出力P C * i (i=1~m)を統合してプリチャージ信号P C *を発生する。

【0006】半導体記憶装置においては、メモリセルのデータを破壊しないように、通常、前ワード線が非選択レベルになってからプリチャージ開始し、プリチャージが完全に解除された後、所定のワード線を選択レベルにしている。従って、外部からプリチャージ信号を受けてプリチャージを行う半導体記憶装置においては、全ワード線が非選択レベルになってからプリチャージ開始までの時間、及びプリチャージ解除後からワード選択までの時間に、内部回路の動作時間を考慮して多少の余裕を見込んだプリチャージ信号となっている。

【0007】これに対し上述した半導体記憶装置（第1の例）では、図5に示すように、アドレス信号ADの構成ビットの低レベルへの変化を検知してプリチャージ信号P C *を活性化レベルとし、プリチャージを開始する構成となっているので、全ワード線が非選択レベルになってからプリチャージ開始までの時間の余裕を少なくすることができ、その分高速化が可能となる。

【0008】しかしながら、この半導体記憶装置でも、上述の構成のために、プリチャージ信号P C *のレベル変化のタイミングとワード線のレベル変化のタイミングとの間（図5のt1, t2）に、全てのメモリセルに対して一定の余裕をもつようにプリチャージ信号P C *を発生させる必要があり、それ以上の高速化は困難である。

【0009】上述のATD方式の半導体記憶装置より更に高速動作が得られ、かつ回路が単純化された方式として、ワード線のレベル変化を直接検出してプリチャージ信号を発生するようにした例がある（例えば前述の特開昭59-178684号公報参照）。

【0010】この半導体記憶装置（第2の例）は、図6に示すように、複数のワード線WL1~WLnの信号レベルを直接OR型の論理ゲートG11で受けその出力をプリチャージ信号P C *としている。

【0011】この半導体記憶装置では、図7に示すように、プリチャージ信号P C *のレベル変化とワード線のレベル変化との間に全く余裕がなく高速動作が可能であり、また回路構成も極めて単純化される。

【0012】

【発明が解決しようとする課題】上述した従来の半導体記憶装置は、第1の例では、アドレス信号ADの構成ビット（A1~An）のレベル変化を検知してプリチャージ信号P C *を発生する構成となっているので、プリチャージ信号P C *のレベル変化のタイミングとワード線のレベル変化のタイミングとの間の余裕を、外部からプリチャージ信号を受けて動作する半導体記憶装置に比べて少なくすることができ、その分高速化が可能となるものの、ワード線のレベル変化を直接検知していないため、上記の2つのタイミング間には依然として一定の余

裕をもたせる必要があり、それ以上の高速化が困難であるという問題点があり、第2の例では、ワード線のレベル変化を直接検知してプリチャージ信号P C *を発生する構成となっているので、上記の2つのタイミング間に全く余裕がなく、より高速化が可能であり、また回路構成も単純化されるものの、プリチャージ解除移行時には、ワード線の選択レベルの変化を検知してプリチャージ信号P C *を非活性化レベルとするため、ワード線の選択レベルによりメモリセルがビット線に接続されるタイミングとプリチャージ解除移行のタイミングとが重なり、メモリセルの記憶内容が破壊される危険性がある。

【0013】本発明の目的は、メモリセルの記憶内容が破壊されることなくより一層高速化することができる半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置は、行方向、列方向にマトリクス状に配置された複数のメモリセルと、選択レベルのときこれら複数のメモリセルを行単位で選択状態とする複数のワード線と、前記複数のメモリセルの各列それぞれと対応して設けられ対応する列の選択状態のメモリセルの書き込み用のデータ及び読み出しデータを伝達する互いに対応をなす複数の第1及び第2のビット線と、プリチャージ信号の活性化レベルに応答して前記複数の第1及び第2のビット線を所定の電位にプリチャージするプリチャージ回路と、前記複数のワード線それぞれと対応して設けられ、所定のタイミングで所定の時間活性化レベルとなるワードオフ信号の活性化レベルに応答して対応するワード線を非選択レベルに保持し、前記プリチャージ信号の非活性化レベルに応答して前記複数のワード線それぞれの選択レベル、非選択レベル駆動用の複数のワード線選択信号のうちの対応するワード線選択信号を取込んで保持し対応するワード線をこの取込んだワード線選択信号のレベルに駆動する複数のワード線レベル制御回路と、前記複数のワード線のうちの選択レベルのワード線が非選択レベルに変化したのに応答して前記プリチャージ信号を活性化レベルに保持し、前記ワードオフ信号の非活性化レベルの期間のうちの所定の期間互いに独立して活性化レベルとなる書き込み信号及び読み出し信号のうちの一方の活性化レベルに応答して前記プリチャージ信号を非活性化レベルに保持するプリチャージ信号発生回路とを有している。

【0015】また、複数のワード線レベル制御回路それぞれが、プリチャージ信号の非活性化レベルのとき対応するワード線選択信号を出力端に伝達するAND型の第1の論理ゲートと、この第1の論理ゲートの出力端のレベルをセット端子に受けてそのレベルを取り込み保持しワードオフ信号をリセット端子に受けてその活性化レベルに対応してリセットされて非選択レベルを保持し、対応するワード線を保持しているレベルに駆動する第1のラッチ回路とを含んで構成され、プリチャージ信号発生

回路が、書き込み信号及び読み出し信号を入力端に受けるOR型の第2の論理ゲートと、複数のワード線それぞれのレベルを入力端に受けるNOR型の第3の論理ゲートと、前記第2の論理ゲートの出力端のレベルをセット端子に受けてその活性化レベルに応答してセットされ前記プリチャージ信号を非活性化レベルに保持し前記第3の論理ゲートの出力端のレベルをリセット端子に受けて全ワード線の非選択レベル対応のレベルに応答してリセットされ前記プリチャージ信号を活性化レベルに保持する第2のラッチ回路とを含んで構成される。更に、複数の第1及び第2のビット線それぞれに外部からの書き込み用のデータを伝達する複数の書き込みバッファ回路を備え、これら複数の書き込みバッファ回路による前記複数の第1及び第2のビット線への書き込み用のデータの伝達が、書き込み信号が活性化レベルでかつプリチャージ信号が非活性化レベルのときのみできるようにして構成される。

【0016】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0017】図1は本発明の第1の実施例を示す回路図である。

【0018】この実施例が図4及び図6に示された従来の半導体記憶装置と相違する点は、複数のワード線WL1～WL_nそれぞれと、これら複数のワード線それぞれを選択レベル、非選択レベルに駆動するための対応するワード線選択信号の出力端との間に、それぞれ、プリチャージ信号PC*の非活性化レベルのときに対応するワード線選択信号(WS1～WS_n)を出力端に伝達するAND型の第1の論理ゲートG1と、この第1の論理ゲートG1の出力端のレベルをセット端子(S)に受けてそのレベルを取込んで保持し、所定のタイミングで所定の時間活性化レベルとなるワードオフ信号WOFをリセット端子(R)に受けてその活性化レベルに応答してリセットされて非選択レベルを保持し、対応するワード線を保持しているレベルに駆動する第1のラッチ回路L1とを含んで構成された複数のワード線レベル制御回路WL_{C1}～WL_{Cn}を設け、プリチャージ信号発生回路2x, 2yに代えて、ワードオフ信号WOFの非活性化レベルの期間のうちの所定の期間、互い独立して活性化レベルとなる書き込み信号WE及び読み出し信号REを入力端子に受けるOR型の第2の論理ゲートG2と、複数のワード線WL1～WL_nそれぞれのレベルを入力端に受けるNOR型の第3の論理ゲートG3と、第2の論理ゲートG2の出力端のレベルをセット端子(S)に受けてその活性化レベル、すなわち書き込み信号WEの活性化レベル、読み出し信号の活性化レベルに応答してセットされプリチャージ信号PC*を非活性化レベルに保持し、第3の論理ゲートG3の出力端のレベルをリセット端子(R)に受けて全ワード線の非選択レベル対応のレベルに応答してリセットされプリチャージ信号PC*を活性

化レベルに保持する第2のラッチ回路L2とを含んで構成されたプリチャージ信号発生回路2を設けた点にある。

【0019】次にこの実施例の動作について図2に示されたタイミング図を合せて参照して説明する。

【0020】ワードオフ信号WOFは全ワード線WL1～WL_nを強制的に非選択レベルにするための信号であって、このワードオフ信号WOFが活性化レベルの高レベルに応答してラッチ回路L1はリセットされ低レベルを保持する。このラッチ回路L1の出力端は対応するワード線(例えばWL1)と接続されており、従ってそのワード線(WL1)は低レベルの非選択レベルとなる。

【0021】論理ゲートG3は全ワード線WL1～WL_nが非選択レベル(低レベル)となったとき高レベルの信号を出力してラッチ回路L2を低レベルにリセットし、ラッチ回路L2はその低レベルを保持する。このラッチ回路L2の出力がプリチャージ信号PC*となっているので、プリチャージ信号PC*は低レベルの活性化レベルに保持されてプリチャージ回路1のトランジスタQ3, Q4を駆動し、ビット線BL11, BL12は電源電位Vddレベルにプリチャージされる。

【0022】プリチャージの解除は、書き込み信号WE、読み出し信号REの活性化に応答して行なわれる。書き込み信号WE及び読み出し信号REはOR型の論理ゲートG2に入力されるので、書き込み信号WE、読み出し信号REのうちの一方が活性化レベル(高レベル)になると論理ゲートG2の出力は高レベルとなりラッチ回路L2を高レベルにセットする。従ってプリチャージ信号PC*は高レベルの非活性化レベルに保持され、プリチャージが終了(解除)される。

【0023】このプリチャージ信号PC*の高レベルに応答してワード線選択信号WS1～WS_nが対応する論理ゲートG1を通過して対応するラッチ回路L1のセット端子(S)に入力される。このとき、ワード線選択信号WS1～WS_nのうちの選択レベル(高レベル)のワード線選択信号(例えばWS2)により対応するラッチ回路L1が高レベル(選択レベル)にセットされてこれを保持し、同時にラッチ回路1の出力信号を受けるワード線(WL2)が選択レベルとなる。

【0024】そして、この選択レベルのワード線(WL2)と接続するメモリ(MC2)が選択状態となってこのメモリセル(MC2)の記憶データがビット線BL11, BL12に読み出され、またビット線BL11, BL12に伝達された書き込み用のデータがメモリセル(MC2)に書き込まれ記憶される。

【0025】この後、再びワードオフ信号WOFが活性化レベルになると、前述したように、ラッチ回路L1によって全ワード線WL1～WL_nが非選択レベルになって全メモリセル(MC1～MCn)は非選択状態とな

り、全ワード線WL 1～WL nの非選択レベルに応答してラッチ回路L 2がリセットされてその出力、すなわちプリチャージ信号PC*が低レベルの活性化レベルとなり、ビット線BL 11, BL 12のプリチャージが開始される。以後、前述の動作がくり返される。

【0026】この実施例では、ビット線BL 11, BL 12のプリチャージ開始時、メモリセル(MC 1～MC n)の選択状態、非選択状態を制御するワード線WL 1～WL nのレベルを直接論理ゲートG 3で検出し、これらワード線WL 1～WL n全てが非選択レベルとなって論理ゲートG 3の出力が高レベルとなったときにラッチ回路L 2をリセットしてプリチャージ信号PC*を活性化レベルとしているので、プリチャージ信号PC*が活性化レベルになるタイミングでは全メモリセル(MC 1～MC n)は既に確実に非選択状態となっており、また、プリチャージ解除移行時には、プリチャージ信号PC*が非活性化レベルの高レベルとなることにより論理ゲートG 1のゲートが開いてワード線選択信号WS 1～WS nを対応するラッチ回路L 1のセット端子(S)に供給し、これらワード線選択信号WS 1～WS nのうちの選択レベルのワード線選択信号と対応するラッチ回路L 1をセットしてその出力端の信号により対応するワード線を選択レベルとするので、このワード線が選択レベルになるタイミングでは、プリチャージ信号PC*の非活性化レベルによってビット線BL 11, BL 12のプリチャージは既に確実に解除されており、従って、メモリセル(MC 1～MC n)の記憶内容がビット線BL 11, BL 12のプリチャージ動作によって破壊されるようなことは発生しない。

【0027】また、全ワード線が非選択レベルになってからプリチャージ信号PC*が活性化レベルとなる期間、及びプリチャージ信号PC*が非活性化レベルになってから所定のワード線を選択レベルとするまでの期間は、必要最小限の回路素子で制御しており、かつワード線の非選択レベルの直接検出によるプリチャージ信号PC*の活性化レベル制御、プリチャージ信号PC*の非活性化レベルによるワード線の選択レベルの直接制御となっているので、従来例のような動作タイミングの余裕は設定する必要がなく、従って高速動作が得られる。

【0028】なお、ワードオフ信号WOFFの1つの活性化レベルから次の活性化レベルの期間、すなわち1つのアクセスサイクルの期間は、メモリセル選択時のアクセスに必要な期間(アクセス期間)と、ビット線BL 11, BL 12のプリチャージ必要な期間(プリチャージ期間)と、これら期間の間のつなぎとなる前述のプリチャージの開始期間及び解除移行期間とにより設定される。

【0029】図3は本発明の第2の実施例の主要部分を示す回路図である。

【0030】半導体記憶装置には通常、外部からの書込

み用のデータをビット線BL 11, BL 12に伝達する書込みバッファ回路が設けられているが、この実施例では、書込みバッファ回路3による書込み用のデータDI 11, DI 12のビット線BL 11, BL 12への伝達が、書込み信号WEが活性化レベル(高レベル)でかつプリチャージ信号PC*が非活性化レベル(高レベル)のときのみ行えるようにしたものである。すなわち、この書込みバッファ回路3は、書込み信号WE及びプリチャージ信号PC*を入力するAND型の論理ゲートG 4と、この論理ゲートG 4の出力信号が活性化レベルのとき書込み用のデータDI 11, DI 12をビット線BL 11, BL 12に対応して伝達し、非活性化レベルのときには出力端とビット線BL 11, BL 12との間を高インピーダンスとして書込み用のデータDI 11, DI 12のビット線BL 11, BL 12への伝達を禁止する3ステート型のバッファ増幅器BA 1, BA 2とを備えて構成される。

【0031】このような構成とすることにより、プリチャージ期間における、バッファ増幅器BA 1, BA 2の出力信号によるビット線BL 11, BL 12のプリチャージレベルの乱れを防止することができる。

【0032】なお、これら実施例における、図1、図2に示されたプリチャージ回路1及び図1に示されたメモリセル(MC 1～MC n)の回路等は1つの具体例であり、これら回路に限定されるものではない。

【0033】

【発明の効果】以上説明したように本発明は、プリチャージ信号の非活性化レベルに応答してゲートを開きワード線選択信号を第1のラッチ回路のセット端子に伝達し、このワード線選択信号の選択レベルに応答して第1のラッチ回路をセットして対応するワード線を選択レベルとし、ワードオフ信号の活性化レベルに応答して第1のラッチ回路をリセットして全ワード線を非選択レベルとし、この全ワード線非選択レベルを検出して第2のラッチ回路をリセットしてプリチャージ信号を活性化レベルとし、書込み信号及び読出し信号のうちの一方の活性化レベルに応答して第2のラッチ回路をセットしてプリチャージ信号を非活性化レベルとする構成とすることにより、プリチャージ開始時にプリチャージ信号が活性化

40 レベルに移行するときには全メモリセルは確実に非選択状態となっており、プリチャージ解除移行期間にはプリチャージが解除されてから所定のメモリセルが選択状態に移行するので、ビット線のプリチャージ動作によりメモリセルの記憶内容の破壊を確実に防止することができ、かつ、1つのアクセスサイクルのうちのメモリセル選択時のアクセス期間とビット線プリチャージ期間との間のつなぎとなるプリチャージ開始期間及びプリチャージ解除移行期間を必要最短時間に抑えることができるので、動作の高速化をはかることができる効果がある。

50 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】図1に示された実施例の動作を説明するための各部信号のタイミング図である。

【図3】本発明の第2の実施例の主要部分を示す回路図である。

【図4】従来の半導体記憶装置の第1の例を示すブロック図及びその一部の具体的な回路例を示す回路図である。

【図5】図4に示された半導体記憶装置の動作及び課題を説明するための各部信号のタイミング図である。

【図6】従来の半導体記憶装置の第2の例を示すブロック図である。

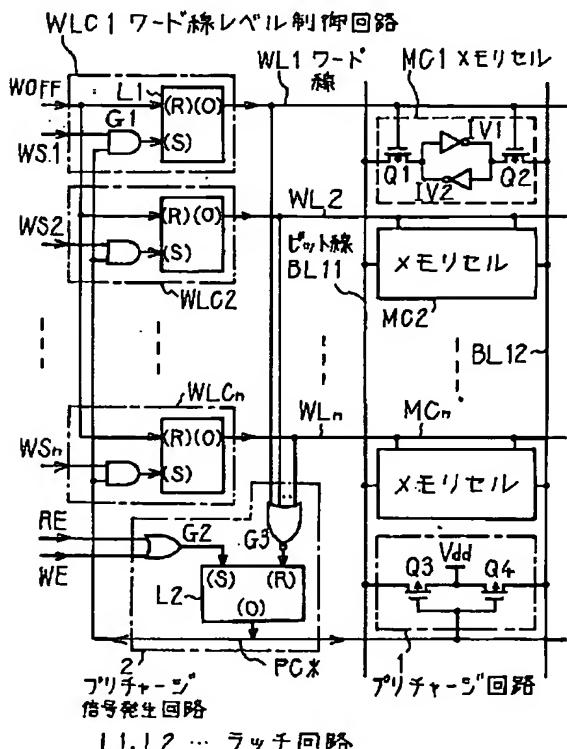
【図7】図6に示された半導体記憶装置の動作及び課題

を説明するための各部信号のタイミング図である。

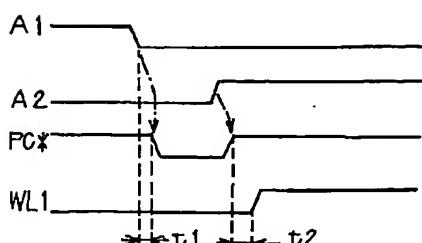
【符号の説明】

- 1 プリチャージ回路
- 2, 2x, 2y プリチャージ信号発生回路
- 3 書込みバッファ回路
- 4 負荷回路
- 21 アドレス変化検知回路
- BA1, BA2 バッファ増幅器
- BL11, BL12 ピット線
- 10 G1~G4, G11 論理ゲート
- L1, L2 ラッチ回路
- MC1~MCn メモリセル
- WL1~WLn ワード線

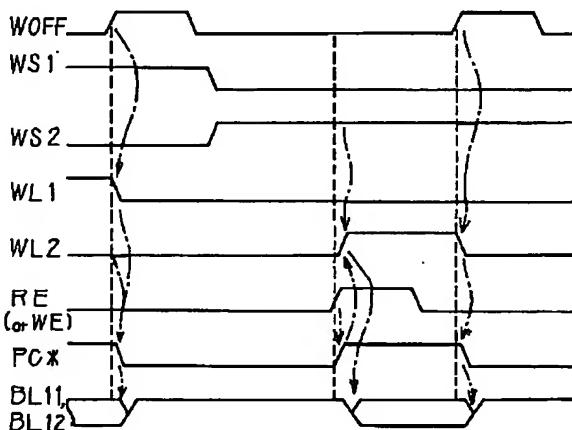
【図1】



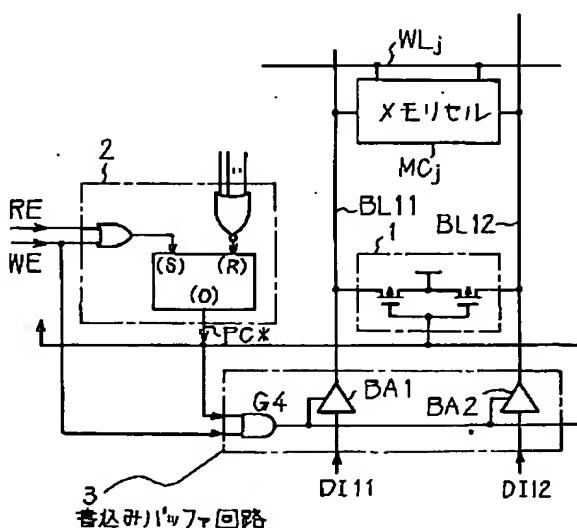
【図5】



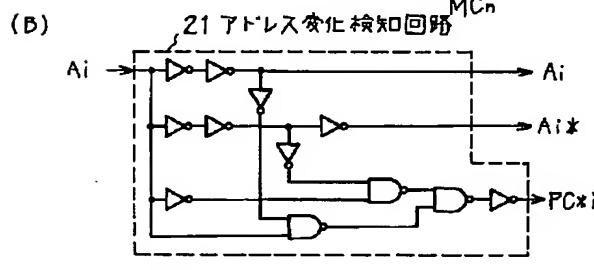
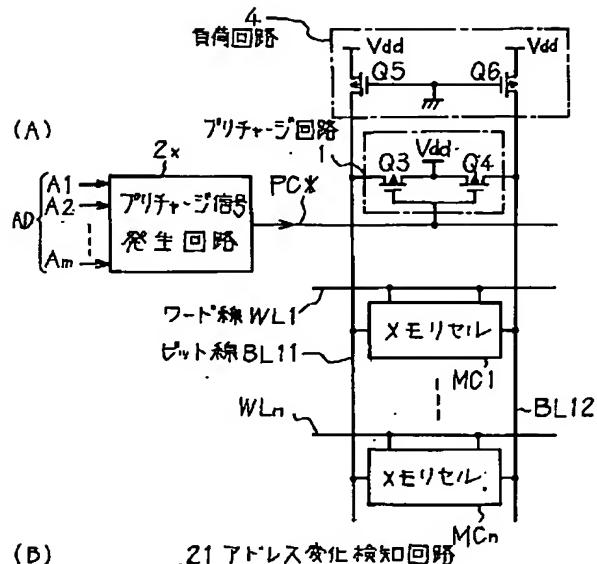
【図2】



【図3】

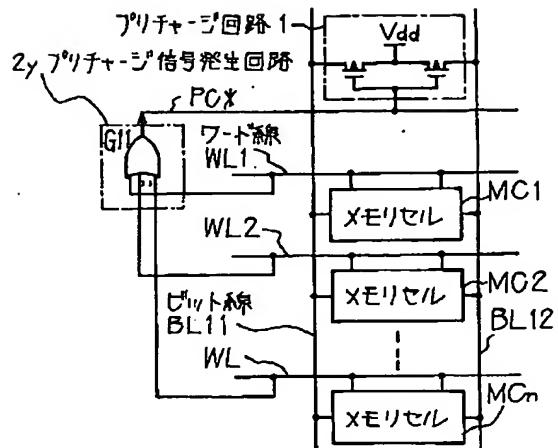


【図4】



(i = 1 ~ m)

【図6】



【図7】

